

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HYUNG-BOK CHOI

Application No.:

Filed:

For: **capacitor and method for fabricating
the same**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

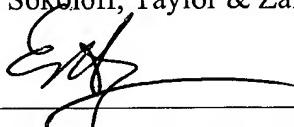
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0086395	30 December 2002
Korea	10-2002-0086400	30 December 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: 9/16/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

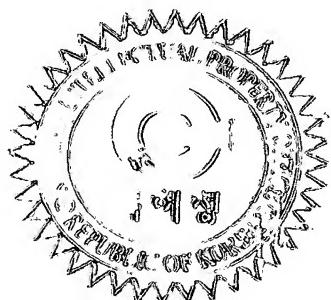
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086400
Application Number

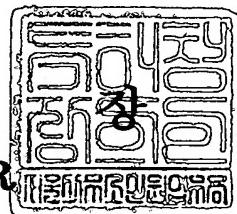
출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 06 월 30 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0061		
【제출일자】	2002.12.30		
【발명의 명칭】	캐패시터의 제조 방법		
【발명의 영문명칭】	Method of fabrication capacitor		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	최형복		
【성명의 영문표기】	CHOI, Hyung Bok		
【주민등록번호】	711120-1011811		
【우편번호】	449-846		
【주소】	경기도 용인시 수지읍 풍덕천리 1112 신정마을 현대성우아 파트 808-9 02		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 성 (인) 특허법인 신		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	15	면	15,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	44,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 스토리지노드간 브릿지 및 스토리지노드의 리프트 현상을 억제하는데 적합한 캐패시터의 제조 방법을 제공하기 위한 것으로, 반도체 기판 상부에 충간절연막을 형성하는 단계, 상기 충간절연막을 관통하여 상기 반도체 기판에 연결되는 스토리지노드 콘택을 형성하는 단계, 상기 충간절연막 상에 제1 식각배리어막과 제2 식각배리어막 사이에 절연막이 삽입된 형태를 갖는 스토리지노드 지지막을 형성하는 단계, 상기 스토리지노드 지지막 상에 스토리지노드 절연막을 형성하는 단계, 상기 제1 식각배리어막 상에서 식각이 정지하도록 상기 스토리지노드 절연막과 상기 스토리지노드 지지막을 식각하여 오목 패턴을 형성하는 단계, 상기 스토리지노드 절연막과 상기 스토리지노드 지지막의 절연막을 선택적으로 제거하여 상기 오목 패턴의 폭을 넓힐과 동시에 상기 제2 식각배리어막과 상기 제1 식각배리어막 사이에 언더컷을 형성시키는 단계, 상기 폭이 넓어진 오목 패턴 내부에 자신의 하부 영역이 상기 언더컷에 박히면서 상기 스토리지노드 콘택과 연결되는 실린더형 스토리지노드를 형성하는 단계, 및 상기 스토리지노드 절연막을 선택적으로 제거하는 단계를 포함한다.

【대표도】

도 4f

【색인어】

캐패시터, 스토리지노드 지지 산화막, 언더컷, 브릿지, 뽑힘 현상

【명세서】**【발명의 명칭】**

캐패시터의 제조 방법{Method of fabrication capacitor}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 따른 캐패시터의 제조 방법을 도시한 공정 단면도,

도 2는 종래기술의 스토리지노드간 브릿지 및 뽁힘 현상을 나타낸 도면,

도 3은 본 발명의 제1 실시예에 따른 캐패시터의 구조 단면도,

도 4a 내지 도 4f는 도 3에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도,

도 5는 본 발명의 제2 실시예에 따른 캐패시터의 구조 단면도,

도 6a 내지 도 6f는 도 5에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 충간질연막

23 : 티타늄실리사이드막

24 : 스토리지노드 콘택 플러그

25a : 제1 질화막

25b : 제2 질화막

26 : 스토리지노드 지지 산화막

27a, 27b : 스토리지노드 산화막

29 : 실린더형 스토리지노드

30 : 유전막

31 : 플레이트노드

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 캐패시터의 제조 방법에 관한 것이다.
- <15> 최근에 메모리 소자의 고집적화, 소형화 및 고속화에 따라 캐패시터가 차지하는 면적이 감소하고 있으며, 비록 반도체 소자가 고집적화 및 소형화되더라도 반도체 소자를 구동시키기 위한 캐패시터의 정전 용량은 최소한 확보되어야 한다.
- <16> 캐패시터의 정전 용량을 확보하기 위한 한 방안으로 캐패시터의 스토리지노드를 실린더(Cylinder) 구조, 스택(Stack) 구조, 오목(Concave) 구조 등 다양한 구조로 형성하여 제한된 면적 하에서 캐패시터 스토리지노드의 유효 표면적을 극대화시키고 있다.
- <17> 또한, 캐패시터 용량을 확보하기 위해 스토리지노드의 높이를 증가시키고 있다.
- <18> 도 1a 내지 도 1c는 종래기술에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이다.
- <19> 도 1a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(11) 상에 충간절연막(12)을 형성한 후, 충간절연막(12)을 식각하여 반도체 기판(11)의 일부를 노출시키는 스토리지노드콘택홀을 형성한다. 이때, 스토리지노드콘택홀은 통상적으로 트랜지스터의 소스/드레인 영역, 도우프드 실리콘막, 에피택셜 성장된 실리콘막 등을 노출시킨다.

- <20> 다음에, 스토리지노드콘택홀내에 노출된 반도체 기판(11) 상에 티타늄실리사이드막(13)을 형성한다. 이때, 티타늄실리사이드막(13)은 티타늄막을 증착한 후 열처리하여 형성하고, 미반응 티타늄막은 습식식각을 통해 제거하므로써 스토리지노드콘택홀에만 티타늄실리사이드막(13)을 형성한다.
- <21> 다음에, 스토리지노드콘택홀을 채울때까지 충간절연막(12) 상에 전도성 질화물을 증착한 후, 충간절연막의 표면이 드러날때까지 화학적기계적연마를 통해 평탄화하여 스토리지노드콘택홀에 매립되는 전도성 질화물로 된 스토리지노드 콘택 플러그(14)를 형성한다.
- <22> 전술한 바와 같은 방법에 의해 스토리지노드 콘택 플러그(14)를 형성한 후, 스토리지노드 형성 공정을 진행한다.
- <23> 계속해서, 스토리지노드 콘택 플러그(14)를 포함한 충간절연막(12) 상에 식각배리어막(etch barrier layer)인 질화막(15)과 스토리지노드의 높이를 결정짓는 스토리지노드 산화막(16a, 16b)을 차례로 증착한다. 이때, 스토리지노드 산화막(16a, 16b)은 습식식각률이 서로 다른 산화막의 이중막으로, 하부에 증착된 하부 스토리지노드 산화막(16a)의 습식식각률이 상부 스토리지노드 산화막(16b)의 그것보다 빠르다.
- <24> 다음에, 스토리지노드 산화막(16a, 16b) 상에 스토리지노드 마스크를 형성한 후, 스토리지노드 마스크를 식각마스크로 스토리지노드 산화막(16a, 16b)을 건식식각하여 스토리지노드가 형성될 영역, 예컨대 오목(concave) 패턴(17)을 형성한다.
- <25> 다음에, 습식케미컬(wet chemical)을 이용한 딥(dip) 공정을 통해 스토리지노드 산화막(16a, 16b)을 습식식각하여 오목패턴(17)의 폭을 넓힌다. 즉, 습식식각률이 서로 다

른 스토리지노드 산화막(16a, 16b)을 딥하면, 하부 스토리지노드 산화막(16a)이 상부 스토리지노드 산화막(16b)보다 빨리 식각되어 오목패턴(17)의 하부 영역이 상부 영역에 비해 더 넓어진다.

<26> 도 1b에 도시된 바와 같이, 질화막(15)을 식각하여 스토리지노드 콘택 플러그(14)의 표면을 노출시킨 후, 하부 영역이 넓어진 오목패턴(17)을 포함한 전면에 화학기상증착법(CVD)으로 도우프드 실리콘막을 증착한 후, 오목 패턴을 채울때까지 도우프드 실리콘막 상에 산화막이나 감광막을 형성한다.

<27> 다음에, 에치백이나 화학적기계적연마를 통해 오목패턴(17)을 제외한 부분에 형성된 도우프드 실리콘막을 제거하여 도우프드 실리콘막으로 된 실린더형 스토리지노드(18, '하부전극'이라고도 함)를 형성한 후, 산화막이나 감광막을 제거한다.

<28> 도 1c에 도시된 바와 같이, 스토리지노드 산화막(16a, 16b)을 습식 딥아웃 공정을 통해 제거한다. 이때, 질화막(15)이 실린더형 스토리지노드(18)를 지지하고 있다.

<29> 도면에 도시되지 않았지만, 후속 공정으로, 스토리지노드 산화막(16a, 16b) 제거후 드러난 실린더형 스토리지노드(18) 상에 유전막과 플레이트노드('상부전극'이라고도 함)를 차례로 형성하여 캐패시터를 완성한다.

<30> 전술한 종래기술에서는 캐패시터의 정전용량을 증대시키기 위해 스토리지노드의 용량을 좌우하는 스토리지노드 산화막(16a, 16b)으로서 습식식각률이 서로 다른 이중 산화막을 이용하고 있다.

- <31> 그러나, 종래기술은 스토리지노드 산화막(16a, 16b)의 습식 딥아웃 공정후, 실린더 형 스토리지노드(18)간 브릿지(bridge) 및 뽑힘(lifting) 현상이 발생되는 문제가 있다(도 2 참조).
- <32> 도 2는 종래기술에 따른 스토리지노드간 브릿지 및 스토리지노드의 뽑힘 현상을 도시한 도면이다.
- <33> 도 2에 도시된 바와 같은 브릿지 및 뽑힘 현상은 스토리지노드 산화막(16a, 16b)의 식각 공정에서 국부적으로 일어나는 식각불량으로 인한 오픈불량, 스토리지노드 하부 CD(Critical Dimension) 부족 및 스토리지노드 하부 면적 부족에 의한 스토리지노드의 구조적 강도 감소에 의해 발생한다.
- <34> 이러한 현상들이 습식딥 공정에 의한 오목패턴의 넓힘 공정을 통해 개선되고는 있으나 한계가 있고, 특히, 오목패턴 형성후에 발생하는 하부 CD 부족 및 하부 면적 부족에 의한 브릿지 및 뽑힘 현상은 여전히 발생되고 있는 실정이다. 즉, 단일 질화막만으로 스토리지노드를 지지하는데는 한계가 있다.
- <35> 이와 같은 브릿지 및 뽑힘 현상이 발생하면 해당 셀은 그 즉시 오류가 발생하고, 웨이퍼 수율이 현저히 감소한다.

【발명이 이루고자 하는 기술적 과제】

<36> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 스토리지노드간 브릿지 및 스토리지노드의 뽁힘 현상을 억제하는데 적합한 캐패시터의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<37> 상기 목적을 달성하기 위한 본 발명의 캐패시터의 제조 방법은 반도체 기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 관통하여 상기 반도체 기판에 연결되는 스토리지노드콘택을 형성하는 단계, 상기 층간절연막 상에 상기 스토리지노드 콘택을 노출시키면서 적어도 어느 한층이 언더컷 형태를 갖는 다층의 절연성 지지물을 형성하는 단계, 및 상기 다층의 절연성 지지물의 언더컷에 자신의 하부 영역이 박히면서 상기 스토리지노드 콘택과 전기적으로 연결되는 실린더형 스토리지노드를 형성하는 단계를 포함하는 것을 특징으로 한다.

<38> 또한, 본 발명의 캐패시터의 제조 방법은 반도체 기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 관통하여 상기 반도체 기판에 연결되는 스토리지노드콘택을 형성하는 단계, 상기 층간절연막 상에 제1 식각배리어막과 제2 식각배리어막 사이에 절연막이 삽입된 형태를 갖는 스토리지노드 지지막을 형성하는 단계, 상기 스토리지노드 지지막 상에 스토리지노드 절연막을 형성하는 단계, 상기 제1 식각배리어막 상에서 식각이 정지하도록 상기 스토리지노드 절연막과 상기 스토리지노드 지지막을 식각하여 오목 패턴을 형성하는 단계, 상기 스토리지노드 절연막과 상기 스토리지노드 지지막의 절연막

을 선택적으로 제거하여 상기 오목 패턴의 폭을 넓힐과 동시에 상기 제2 식각배리어막과 상기 제1 식각배리어막 사이에 언더컷을 형성시키는 단계, 상기 폭이 넓어진 오목 패턴 내부에 자신의 하부 영역이 상기 언더컷에 박히면서 상기 스토리지노드콘택과 연결되는 실린더형 스토리지노드를 형성하는 단계, 및 상기 스토리지노드 절연막을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 한다.

<39> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<40> 도 3은 본 발명의 제1 실시예에 따른 캐패시터의 구조 단면도이다.

<41> 도 3에 도시된 바와 같이, 적어도 트랜지스터 및 비트라인이 형성된 반도체 기판(21) 상에 충간절연막(22)이 형성되고, 티타늄실리사이드막(23)과 스토리지노드콘택플러그(24)로 이루어진 스토리지노드콘택(Storage Node Contact; SNC)이 충간절연막(22)을 관통하여 반도체 기판(21)과 연결되며, 스토리지노드 콘택 플러그(24)의 표면을 노출시키는 개구를 갖는 식각배리어막인 제1 질화막(25a)과 제2 질화막(25b)이 충간절연막(22) 상부에 형성되고, 제1 질화막(25a)과 제2 질화막(25b) 사이에서 언더컷 영역을 형성시키는 더 넓은 개구를 가지면서 스토리지노드 콘택 플러그(24)를 노출시키는 스토리지노드 지지 산화막(26)이 삽입되고 있다.

<42> 그리고, 하부 영역이 제1 질화막(25a), 스토리지노드 지지 산화막(26)과 제2 질화막(25b)에 의해 물리적으로 지지되는 실린더형 스토리지노드(29)가 스토리지노드 콘택 플러그(24)와 연결되고 있다. 즉, 실린더형 스토리지노드(29)의 하부가 스토리지노드 지지 산화막(26)에 박혀 있는 형태를 갖는다.

- <43> 한편, 제2 질화막(25b) 상부에 노출된 실린더형 스토리지노드(29)의 상부 영역의 일부는 하부 영역과 동일한 형태로 굴곡지는 형태를 갖는 실린더 형태이고, 이에 따라 실린더형 스토리지노드(29)의 표면적이 증대되고 있다.
- <44> 도 3과 같은 캐패시터에 있어서, 실린더형 스토리지노드(29)가 제1 질화막(25a), 스토리지노드 지지 산화막(26)과 제2 질화막(25b)에 의해 견고하게 지지되고 있어 브릿지 및 뽑힘 현상을 방지할 수 있다.
- <45> 도 4a 내지 도 4f는 도 3에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도이다.
- <46> 도 4a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(21) 상에 충간절연막(22)을 형성한 후, 충간절연막(22)을 식각하여 반도체 기판(21)의 일부를 노출시키는 스토리지노드콘택홀을 형성한다. 이때, 스토리지노드콘택홀은 통상적으로 트랜지스터의 소스/드레인 영역, 도우프드 실리콘막, 에피택셜 성장된 실리콘막 등을 노출시킨다.
- <47> 다음에, 스토리지노드콘택홀내에 노출된 반도체 기판(21) 상에 티타늄실리사이드막(23)을 형성한다. 이때, 티타늄실리사이드막(23)은 티타늄막을 증착한 후 열처리하여 형성하고, 미반응 티타늄막은 습식식각을 통해 제거하므로써 스토리지노드콘택홀에만 티타늄실리사이드막(23)을 형성한다. 여기서, 티타늄실리사이드막(23)은 콘택저항 감소를 위한 오믹콘택(ohmic contact)을 형성해주는 막이다.
- <48> 다음에, 스토리지노드콘택홀을 채울때까지 충간절연막(22) 상에 전도성 질화물을 증착한 후, 충간절연막(22)의 표면이 드러날때까지 화학적기계적연마를 통해 평탄화하여

스토리지노드 콘택홀에 매립되는 전도성 질화물로 된 스토리지노드 콘택 플러그(24)를 형성한다.

<49> 전술한 바와 같은 방법에 의해 스토리지노드 콘택 플러그(24)를 형성한 후, 스토리지노드 형성 공정을 진행한다.

<50> 계속해서, 스토리지노드 콘택 플러그(24)를 포함한 충간절연막(22) 상에 제1 질화막(25a), 스토리지노드 지지 산화막(26), 제2 질화막(25b) 및 스토리지노드 산화막(27a, 27b)을 차례로 형성한다.

<51> 여기서, 제1 질화막(25a)과 제2 질화막(25b)은 식각배리어막이고, 스토리지노드 지지 산화막(26)은 스토리지노드의 하부 영역을 지지하여 구조 강도를 높이기 위한 막이고, 스토리지노드 산화막(27a, 27b)은 습식식각률이 서로 다른 이중 산화막으로 스토리지노드의 높이를 결정짓는 막이다. 예컨대, 스토리지노드 산화막은 하부에 증착된 하부 산화막(16a)의 습식식각률이 상부 산화막(16b)의 그것보다 빠르다.

<52> 예컨대, 제1 질화막(25a)의 두께는 $100\text{ \AA} \sim 2000\text{ \AA}$ 이고, 스토리지노드 지지 산화막(26)의 두께는 $100\text{ \AA} \sim 3000\text{ \AA}$ 이고, 제2 질화막의 두께는 $100\text{ \AA} \sim 2000\text{ \AA}$ 이며, 제1 질화막(25a), 스토리지노드 지지 산화막(26), 제2 질화막(25b) 및 스토리지노드 산화막(27a, 27b)의 총 두께는 $3000\text{ \AA} \sim 30000\text{ \AA}$ 이다. 따라서, 스토리지노드 산화막(27a, 27b)의 두께는 $7000\text{ \AA} \sim 24000\text{ \AA}$ 이다.

<53> 한편, 스토리지노드 산화막(27a, 27b)과 스토리지노드 지지 산화막(26)은 화학기상 증착법(CVD)에 의한 산화막(이하, 'CVD 산화막'이라고 약칭함)이고, 이에 따라 스토리지

노드 산화막(27a, 27b)은 서로 다른 습식식각률을 갖는 다층 CVD 산화막이다. 예를 들어, PETEOS, LPTEOS, PSG, BPSG 또는 SOG중에서 선택하여 이용한다.

<54> 그리고, 스토리지노드 지지 산화막(26)은 습식식각률이 스토리지노드 산화막(27a, 27b)의 상부 스토리지노드 산화막(27b)보다는 빠르고 하부 스토리지노드 산화막(27a)과는 유사한 값을 가질 수도 있으나, 스토리지노드의 구조를 해치지 않는 범위의 값을 가져도 된다. 즉, 후속 습식 딥 공정시 이웃한 광폭 오목 패턴간 오픈이 방지되는 수준의 습식식각률을 가지면 된다.

<55> 도 4b에 도시된 바와 같이, 스토리지노드 산화막(27a, 27b) 상에 스토리지노드 마스크를 형성한 후, 스토리지노드 마스크를 식각마스크로 스토리지노드 산화막(27a, 27b)을 건식식각한다. 연속해서, 제2 질화막(25b), 스토리지노드 지지 산화막(26)을 순차적으로 건식식각하여 스토리지노드가 형성될 영역, 예컨대 오목 패턴(28a)을 형성한다. 이하, 오목 패턴(28a)을 '협폭 오목 패턴(28a)'이라고 약칭한다. 한편, 제1 질화막(25a)은 협폭 오목 패턴(28a) 형성을 위한 건식식각시 식각배리어로 작용한다.

<56> 도 4c에 도시된 바와 같이, 희석된 불산(dilute HF), 불산 계열이 혼합된 케미컬, 암모니아수 계열이 혼합된 케미컬 등의 습식케미컬을 이용한 딥 공정을 통해 스토리지노드 산화막(27a, 27b)을 습식식각하여 협폭 오목 패턴(28a)의 폭을 넓혀 광폭 오목 패턴(28b)을 형성한다. 이때, 습식케미컬을 이용한 딥 공정은 4°C ~ 180°C의 온도에서 10초 ~ 1800초동안 진행한다.

<57> 습식식각률이 서로 다른 스토리지노드 산화막(27a, 27b)을 딥하면, 하부 스토리지노드 산화막(27a)이 상부 스토리지노드 산화막(27b)보다 빨리 식각되어 광폭 오목 패턴(28b)의 하부 영역의 폭(d

₂)이 상부 영역의 폭(d_1)에 비해 더 넓어진다. 즉, 하부 스토리지노드 산화막(27a)이 더 빨리 식각됨에 따라 상부 스토리지노드 산화막(27b) 아래에 제1 언더컷 영역(28c)이 형성된다.

<58> 아울러, 딥 공정시, 식각배리어막인 제1 질화막(25a)과 제2 질화막(25b)은 선택비를 가져 식각되지 않고, 스토리지노드 산화막(27a, 27b)과 동일 계열인 스토리지노드 지지 산화막(26)이 습식 식각된다. 이로써 제1 질화막(25a)과 제2 질화막(25b) 사이에 제2 언더컷 영역(28d)이 형성된다.

<59> 결국, 습식케미컬을 이용한 딥 공정을 통해 협폭 오목 패턴(28a)의 영역이 전체적으로 넓어져 광폭 오목 패턴(28b)이 되고, 특히 광폭 오목패턴(28b)의 하부 영역은 제1,2 언더컷 영역(28c, 28d)에 의해 상부 영역에 비해 더 넓어진다.

<60> 한편, 전술한 습식케미컬을 이용한 딥 공정시, 제1 질화막(25a)이 오픈되지 않고 남아 있으므로 스토리지노드 콘택 플러그(24)가 손상되는 것을 방지한다.

<61> 도 4d에 도시된 바와 같이, 제1 질화막(25a)을 제거하여 스토리지노드콘택 플러그(24)를 노출시킨 후, 하부 영역이 넓어진 광폭 오목패턴(28b)을 포함한 전면에 화학기상 증착법(CVD)으로 도우프드 실리콘막을 증착한 후, 광폭 오목 패턴(28b)을 채울때까지 도우프드 실리콘막 상에 산화막이나 감광막을 형성한다.

<62> 다음에, 에치백이나 화학적기계적연마를 통해 광폭 오목패턴(28b)을 제외한 부분에 형성된 도우프드 실리콘막을 제거하여 도우프드 실리콘막으로 된 실린더형 스토리지노드(29)를 형성한 후, 산화막이나 감광막을 제거한다. 한편, 실린더형 스토리지노드(29)를 위한 도전막으로는 도우프드 실리콘막외에 도우프드 실리콘막과 언도우프드 실리콘막

의 이중층, Ru, Pt, Ir, W, IrO_x , RuO_x , WN 또는 TiN을 사용하며, 이들 도전막들은 물리기상증착법(PVD), 화학기상증착법(CVD), 원자층증착법(ALD) 또는 플라즈마원자층증착법(PEALD)을 통해 증착되며, 그 두께는 $100\text{\AA} \sim 1000\text{\AA}$ 이다.

<63> 결국, 실린더형 스토리지노드(29)는 하부 영역이 상부 영역에 비해 그 폭이 더 넓은 실린더 형태이고, 특히 하부 영역이 제1,2 언더컷 영역에 의해 굴곡지는 형태를 가지므로 표면적이 증가한다.

<64> 도 4e에 도시된 바와 같이, 스토리지노드 산화막(27a, 27b)을 습식 딥아웃 공정을 통해 제거한다. 이때, 제1,2 질화막(25a, 25b)이 선택비를 가져 제거되지 않고 잔류하며, 이와 같이 잔류하는 제1,2 질화막(25a, 25b)이 실린더형 스토리지노드(29)의 하부 영역을 지지하고 있으므로 실린더형 스토리지노드(29)가 넘어지는 것이 방지된다.

<65> 한편, 습식 딥아웃은 액체 케미컬을 사용하되, 불산(HF) 계열의 혼합 케미컬을 이용하고, $4^\circ\text{C} \sim 80^\circ\text{C}$ 의 온도에서 10초~3600초동안 진행한다.

<66> 도 1c의 종래기술과 비교해 보면, 도 1c에서는 하나의 질화막(15)만이 실린더형 스토리지노드(18)를 지지하고 있어 스토리지노드 산화막의 습식딥아웃시 넘어지거나 뽑힘되는 문제가 발생되었으나, 도 4e와 같이, 두 개의 질화막이 실린더형 스토리지노드를 지지하고 있는 경우에는 그 구조 강도가 더 견고하여 넘어지거나 뽑힘되지 않는다.

<67> 도 4f에 도시된 바와 같이, 후속 공정으로, 스토리지노드 산화막(27a, 27b) 제거후 드러난 실린더형 스토리지노드(29) 상에 유전막(30)과 플레이트노드(31)를 차례로 형성하여 캐패시터를 완성한다.

<68> 여기서, 유전막(30)은 금속유기화학증착법(MOCVD) 또는 원자층증착법(ALD)을 적용하여 SiO₂, SiO₂/Si₃N₄, TaON, Ta₂O₅, SrTiO₃, (Ba,Sr)TiO₃ 또는 (Pb, Sr)TiO₃을 50 Å ~ 300 Å의 두께로 형성한 것이다.

<69> 그리고, 플레이트노드(31)는 TiN, Ru, 폴리실리콘막, Pt, Ir, W 또는 WN을 사용하며, 이들 도전막들은 스퍼터링법, 화학기상증착법(CVD), 원자층증착법(ALD) 또는 플라즈마원자층증착법(PEALD)을 통해 500 Å ~ 3000 Å의 두께로 증착한다.

<70> 전술한 바와 같이, 제1 실시예에서는 실린더형 스토리지노드(29)의 하부 영역이 제1,2 질화막(25a, 25b)에 의해 견고하게 지지되고 있어, 후속 습식케미컬을 이용한 딥아웃 공정시 실린더형 스토리지노드(29)간 브릿지 및 뽁힘 현상이 발생되지 않는다.

<71> 도 5는 본 발명의 제2 실시예에 따른 캐패시터의 구조 단면도이다.

<72> 도 5에 도시된 바와 같이, 적어도 트랜지스터 및 비트라인이 형성된 반도체 기판(41) 상에 층간절연막(42)이 형성되고, 티타늄실리사이드막(43)과 스토리지노드콘택플러그(44)로 이루어진 스토리지노드콘택(SNC)이 층간절연막(42)을 관통하여 반도체 기판(41)과 연결되며, 스토리지노드 콘택 플러그(44)의 표면을 노출시키는 개구를 갖는 식각배리어막인 제1 질화막(45a)과 제2 질화막(45b)이 층간절연막(42) 상부에 형성되고, 제1 질화막(45a)과 제2 질화막(45b) 사이에서 언더컷 영역을 형성시키는 더 넓은 개구를 가지면서 스토리지노드 콘택 플러그(44)를 노출시키는 스토리지노드 지지 산화막(46)이 삽입되고 있다.

<73> 그리고, 하부 영역이 제1 질화막(45a), 스토리지노드 지지 산화막(46)과 제2 질화막(45b)에 의해 물리적으로 지지되는 실린더형 스토리지노드(49)가 스토리지노드 콘택 플러그(44)와 연결되고 있다.

<74> 한편, 실린더형 스토리지노드(49)의 상부 영역은 도 3의 캐패시터와 달리, 그 형태가 미끈한 실린더 형태를 갖고 있다.

<75> 도 5와 같은 캐패시터에 있어서, 실린더형 스토리지노드(49)가 제1 질화막(45a), 스토리지노드 지지 산화막(46)과 제2 질화막(45b)에 의해 견고하게 지지되고 있어 브릿지 및 뽑힘 현상을 방지할 수 있다.

<76> 도 6a 내지 도 6f는 도 5에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도이다.

<77> 도 6a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(41) 상에 충간절연막(42)을 형성한 후, 충간절연막(42)을 식각하여 반도체 기판(41)의 일부를 노출시키는 스토리지노드콘택홀을 형성한다. 이때, 스토리지노드콘택홀은 통상적으로 트랜지스터의 소스/드레인 영역, 도우프드 실리콘막, 에피택셜 성장된 실리콘막 등을 노출시킨다.

<78> 다음에, 스토리지노드콘택홀내에 노출된 반도체 기판(41) 상에 티타늄실리사이드막(43)을 형성한다. 이때, 티타늄실리사이드막(43)은 티타늄막을 증착한 후 열처리하여 형성하고, 미반응 티타늄막은 습식식각을 통해 제거하므로써 스토리지노드콘택홀에만 티타늄실리사이드막(43)을 형성한다.

<79> 다음에, 스토리지노드콘택홀을 채울때까지 충간절연막(42) 상에 TiN 등의 전도성 질화물을 증착한 후, 충간절연막(42)의 표면이 드러날때까지 화학적기계적연마를 통해 평탄화하여 스토리지노드콘택홀에 매립되는 전도성 질화물로 된 스토리지노드 콘택 플러그(44)를 형성한다.

<80> 전술한 바와 같은 방법에 의해 스토리지노드 콘택 플러그(44)를 형성한 후, 스토리지노드 형성 공정을 진행한다.

<81> 계속해서, 스토리지노드 콘택 플러그(44)를 포함한 충간절연막(42) 상에 제1 질화막(45a), 스토리지노드 지지 산화막(46), 제2 질화막(45b) 및 스토리지노드 산화막(47)을 차례로 형성한다.

<82> 여기서, 제1 질화막(45a)과 제2 질화막(45b)은 식각배리어막이고, 스토리지노드 지지 산화막(46)은 스토리지노드의 하부 영역을 지지하여 구조 강도를 높이기 위한 막이고, 스토리지노드 산화막(47)은 단일 CVD 산화막이다.

<83> 예컨대, 제1 질화막(45a)의 두께는 $100\text{ \AA} \sim 2000\text{ \AA}$ 이고, 스토리지노드 지지 산화막(46)의 두께는 $100\text{ \AA} \sim 3000\text{ \AA}$ 이고, 제2 질화막(45b)의 두께는 $100\text{ \AA} \sim 2000\text{ \AA}$ 이며, 제1 질화막(45a), 스토리지노드 지지 산화막(46), 제2 질화막(45b) 및 스토리지노드 산화막(47)의 총 두께는 $3000\text{ \AA} \sim 30000\text{ \AA}$ 이다. 따라서, 스토리지노드 산화막(47)의 두께는 $7000\text{ \AA} \sim 24000\text{ \AA}$ 이다.

<84> 한편, 스토리지노드 지지 산화막(46)은 스토리지노드 산화막(47)과 동일하게 화학 기상증착법(CVD)에 의한 산화막이다.

<85> 그리고, 스토리지노드 지지 산화막(26)은 습식식각률이 스토리지노드 산화막(47)과 유사한 값을 가질 수도 있으나, 스토리지노드의 구조를 해치지 않는 범위의 값을 가져도 된다. 즉, 후속 습식 딥 공정시 이웃한 광폭 오목 패턴간 오픈이 방지되는 수준의 습식식각률을 가지면 된다.

<86> 도 6b에 도시된 바와 같이, 스토리지노드 산화막(47) 상에 스토리지노드 마스크를 형성한 후, 스토리지노드 마스크를 식각마스크로 스토리지노드 산화막(47)을 건식식각한다. 연속해서, 제2 질화막(45b), 스토리지노드 지지 산화막(46)을 순차적으로 건식식각하여 스토리지노드가 형성될 영역, 예컨대 오목 패턴(48a)을 형성한다. 이하, 오목 패턴(48a)을 '협폭 오목 패턴(48a)'이라고 약칭한다. 한편, 제1 질화막(45a)은 협폭 오목 패턴(48a) 형성을 위한 건식식각시 식각배리어로 작용한다.

<87> 도 6c에 도시된 바와 같이, 희석된 불산(dilute HF), 불산 계열이 혼합된 케미컬, 암모니아수 계열이 혼합된 케미컬 등의 습식케미컬을 이용한 딥 공정을 통해 스토리지노드 산화막(47)을 습식식각하여 협폭 오목 패턴(48a)의 폭을 넓혀 광폭 오목 패턴(48b)을 형성한다. 이때, 습식케미컬을 이용한 딥 공정은 4°C ~ 180°C의 온도에서 10초 ~ 1800초 동안 진행한다.

<88> 아울러, 딥 공정시, 식각배리어막인 제1 질화막(45a)과 제2 질화막(45b)은 선택비를 가져 식각되지 않고, 스토리지노드 산화막(47)과 동일 계열인 스토리지노드 지지 산화막(46)이 습식 식각된다. 이로써 제1 질화막(45a)과 제2 질화막(45b) 사이에 언더컷 영역(48c)이 형성된다.

<89> 결국, 습식 케미컬을 이용한 딥 공정을 통해 협폭 오목 패턴(48a)의 영역이 전체적으로 넓어져 광폭 오목 패턴(48b)이 되고, 특히 광폭 오목 패턴(48b)의 하부 영역은 언더컷 영역(48c)에 의해 상부 영역에 비해 더 넓어진다.

<90> 한편, 전술한 습식 케미컬을 이용한 딥 공정시, 제1 질화막(45a)이 오픈되지 않고 남아 있으므로 스토리지노드 콘택 플러그(44)가 손상되는 것을 방지한다.

<91> 도 6d에 도시된 바와 같이, 제1 질화막(45a)을 제거하여 스토리지노드 콘택 플러그(44)를 노출시킨 후, 하부 영역이 넓어진 광폭 오목 패턴(48b)을 포함한 전면에 화학기상 증착법(CVD)으로 도우프드 실리콘막을 증착한 후, 광폭 오목 패턴(48b)을 채울 때까지 도우프드 실리콘막 상에 산화막이나 감광막을 형성한다.

<92> 다음에, 에치백이나 화학적 기계적 연마를 통해 광폭 오목 패턴(48b)을 제외한 부분에 형성된 도우프드 실리콘막을 제거하여 도우프드 실리콘막으로 된 실린더형 스토리지노드(49)를 형성한 후, 산화막이나 감광막을 제거한다. 한편, 실린더형 스토리지노드(49)를 위한 도전막으로는 도우프드 실리콘막 외에 도우프드 실리콘막과 언도우프드 실리콘막의 이중층, Ru, Pt, Ir, W, IrO_x , RuO_x , WN 또는 TiN을 사용하며, 이를 도전막들은 물리기상증착법(PVD), 화학기상증착법(CVD), 원자층증착법(ALD) 또는 플라즈마원자층증착법(PEALD)을 통해 증착되며, 그 두께는 $100\text{ \AA} \sim 1000\text{ \AA}$ 이다.

<93> 결국, 실린더형 스토리지노드(49)의 하부 영역은 언더컷 영역(48c)에 의해 굴곡지는 형태를 가지므로 표면적이 증가한다.

<94> 도 6e에 도시된 바와 같이, 스토리지노드 산화막(47)을 습식 딥아웃 공정을 통해 제거한다. 이 때, 제1, 2 질화막(45a, 45b)이 선택비를 가져 제거되지 않고 잔류하며, 이

와 같이 잔류하는 제1,2 질화막(45a, 45b)이 실린더형 스토리지노드(49)의 하부 영역을 지지하고 있으므로 실린더형 스토리지노드(49)가 넘어지는 것이 방지된다.

<95> 한편, 습식 딥아웃은 액체 케미컬을 사용하되, 불산(HF) 계열의 혼합 케미컬을 이용하고, 4°C ~ 80°C의 온도에서 10초~3600초동안 진행한다.

<96> 도 1c의 종래기술과 비교해 보면, 도 1c에서는 하나의 질화막(15)만이 실린더형 스토리지노드(18)를 지지하고 있어 스토리지노드 산화막의 습식딥아웃시 넘어지거나 뽑힘되는 문제가 발생되었으나, 도 6e와 같이, 두 개의 질화막이 실린더형 스토리지노드를 지지하고 있는 경우에는 그 구조 강도가 더 견고하여 넘어지거나 뽑힘되지 않는다.

<97> 도 6f에 도시된 바와 같이, 후속 공정으로, 스토리지노드 산화막(47) 제거후 드러난 실린더형 스토리지노드(49) 상에 유전막(50)과 플레이트노드(51)를 차례로 형성하여 캐패시터를 완성한다.

<98> 여기서, 유전막(50)은 금속유기화학증착법(MOCVD) 또는 원자층증착법(ALD)을 적용하여 SiO₂, SiO₂/Si₃N₄, TaON, Ta₂O₅, SrTiO₃, (Ba, Sr)TiO₃ 또는 (Pb, Sr)TiO₃을 50Å ~ 300Å의 두께로 형성한 것이다.

<99> 그리고, 플레이트노드(51)는 TiN, Ru, 폴리실리콘막, Pt, Ir, W 또는 WN을 사용하며, 이들 도전막들은 스퍼터링법, 화학기상증착법(CVD), 원자층증착법(ALD) 또는 플라즈마원자층증착법(PEALD)을 통해 500Å ~ 3000Å의 두께로 증착한다.

<100> 전술한 바와 같이, 제2 실시예에서는 스토리지노드 산화막(47)으로 단일 CVD 산화막을 적용하더라도 실린더형 스토리지노드(49)의 하부 영역이 제1,2 질화막(45a, 45b)에

의해 견고하게 지지되고 있어, 후속 습식케미컬을 이용한 딥아웃 공정시 실린더형 스토리지노드(49)간 브릿지 및 뽑힘 현상이 발생되지 않는다.

<101> 한편, 제1,2 실시예와 달리, 제2 질화막을 적용하지 않는 경우에는 스토리지노드 지지 산화막이 스토리지노드 산화막에 비해 습식식각 선택비가 상당히 확보된 CVD 산화막을 사용해야만 하는 제약이 따른다. 그리고, 적절한 선택비를 갖는 CVD 산화막을 선택하여 적용하는 경우에는 스토리지노드의 하부를 스토리지노드 지지 산화막 속으로 박힌 구조의 실린더 형태를 구현할 수 있어 구조적 안정성을 도모할 수 있다.

<102> 그러나, 제1 실시예 및 제2 실시예와 같이, 제2 질화막을 이용하는 경우에는 스토리지노드 지지 산화막 적용을 위한 CVD 산화막의 선택에 어려움이 없이 통상적인 CVD 산화막을 그대로 적용할 수 있어 양산성이 증대된다.

<103> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다. 예컨대, 스토리지노드콘택을 이루는 막으로, 티타늄실리사이드막과 전도성 질화물로 된 스토리지노드 콘택 플러그를 예로 들었으나, 스토리지노드 콘택 플러그로는 전도성 질화물외에 폴리실리콘플러그 또는 텅스텐플러그를 이용할 수 있고, 이들 폴리실리콘플러그 및 텅스텐플러그를 적용하는 경우 그 상부에 전도성 질화물로 된 배리어메탈(barrier metal)을 형성할 수 있다.

【발명의 효과】

- <104> 상술한 바와 같은 본 발명은 두 층의 질화막과 언더컷을 형성시키는 지지 산화막을 이용하므로써 실린더형 스토리지노드의 하부 구조의 강도를 견고하게 하여브릿지 및 뽁힘 현상을 방지하고, 이로써 웨이퍼 수율을 2배~3배 이상 향상시킬 수 있는 효과가 있다.
- <105> 또한, 하부 영역을 굴곡지는 형태로 형성하므로써 스토리지노드의 표면적을 증대시켜 캐패시터의 정전 용량을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 층간절연막을 형성하는 단계;

상기 층간절연막을 관통하여 상기 반도체 기판에 연결되는 스토리지노드콘택을 형성하는 단계;

상기 층간절연막 상에 상기 스토리지노드 콘택을 노출시키면서 적어도 어느 한층이 언더컷 형태를 갖는 다층의 절연성 지지물을 형성하는 단계; 및

상기 다층의 절연성 지지물의 언더컷에 자신의 하부 영역이 박히면서 상기 스토리지노드 콘택과 전기적으로 연결되는 실린더형 스토리지노드를 형성하는 단계
를 포함하는 캐패시터의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 다층의 절연성 지지물을 형성하는 단계는,

상기 층간절연막 상에 제1 식각배리어막을 형성하는 단계;

상기 제1 식각배리어막 상에 절연막을 형성하는 단계;

상기 절연막 상에 제2 식각배리어막을 형성하는 단계; 및

상기 절연막을 선택적으로 제거하여 상기 제1 식각배리어막과 상기 제2 식각배리어막 사이에 언더컷을 형성하는 단계

를 포함하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 절연막을 선택적으로 제거하는 단계는, 습식 딥 콩정을 이용함을 특징으로 하는 캐패시터의 제조 방법.

【청구항 4】

제2항에 있어서,

상기 절연막은 화학기상증착법을 이용하여 증착한 산화막이고, 상기 제1,2 식각배리어막은 질화막인 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 5】

반도체 기판 상부에 층간절연막을 형성하는 단계;

상기 층간절연막을 관통하여 상기 반도체 기판에 연결되는 스토리지노드콘택을 형성하는 단계;

상기 층간절연막 상에 제1 식각배리어막과 제2 식각배리어막 사이에 절연막이 삽입된 형태를 갖는 스토리지노드 지지막을 형성하는 단계;

상기 스토리지노드 지지막 상에 스토리지노드 절연막을 형성하는 단계;

상기 제1 식각배리어막 상에서 식각이 정지하도록 상기 스토리지노드 절연막과 상기 스토리지노드 지지막을 식각하여 오목 패턴을 형성하는 단계;

상기 스토리지노드 절연막과 상기 스토리지노드 지지막의 절연막을 선택적으로 제거하여 상기 오목 패턴의 폭을 넓힐과 동시에 상기 제2 식각배리어막과 상기 제1 식각배리어막 사이에 언더컷을 형성시키는 단계;

상기 폭이 넓어진 오목 패턴 내부에 자신의 하부 영역이 상기 언더컷에 박히면서 상기 스토리지노드콘택과 연결되는 실린더형 스토리지노드를 형성하는 단계; 및 상기 스토리지노드 절연막을 선택적으로 제거하는 단계를 포함하는 캐페시터의 제조 방법.

【청구항 6】

제5항에 있어서,
상기 오목 패턴의 폭을 넓힐과 동시에 상기 제2 식각배리어막과 상기 제1 식각배리어막 사이에 언더컷을 형성시키는 단계는,
습식케미컬을 이용한 딥 공정을 통해 상기 스토리지노드 절연막과 상기 스토리지노드 지지막의 절연막을 선택적으로 식각하는 것을 특징으로 하는 캐페시터의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 딥 공정을 통해 선택적으로 식각되는 상기 스토리지노드 절연막과 상기 스토리지노드 지지막의 절연막은 산화막이고, 상기 제1,2 식각배리어막은 질화막인 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 8】

제6항 또는 제7항에 있어서,
상기 습식케미컬을 이용한 딥 공정은,
희석된 불산, 불산 계열이 혼합된 케미컬 또는 암모니아수 계열이 혼합된 케미컬을 이용하여 4°C ~ 180°C의 온도에서 10초 ~ 1800초동안 진행하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 9】

제5항에 있어서,
상기 스토리지노드 절연막을 선택적으로 제거하는 단계는,
불산 계열의 혼합 케미컬을 이용하여 4°C ~ 80°C의 온도에서 10초 ~ 3600초동안 진행하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 10】

제5항에 있어서,
상기 오목 패턴을 형성하는 단계는,

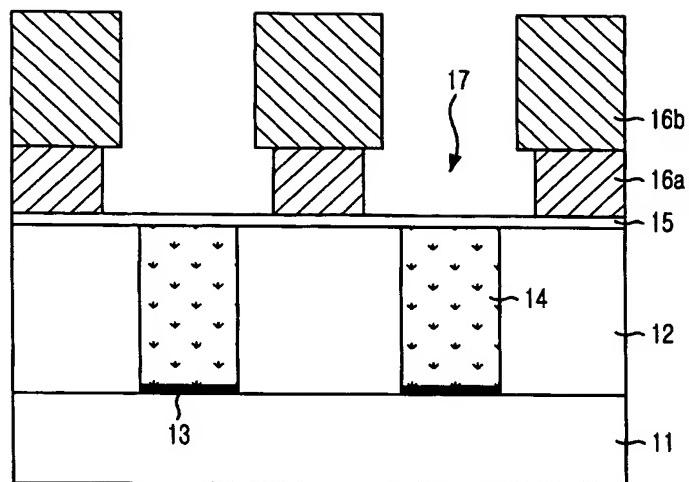
1020020086400

출력 일자: 2003/7/1

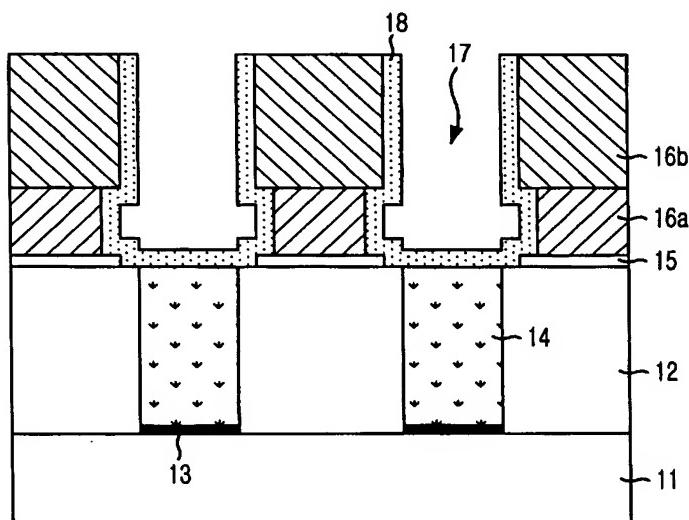
건식식각을 통해 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

【도면】

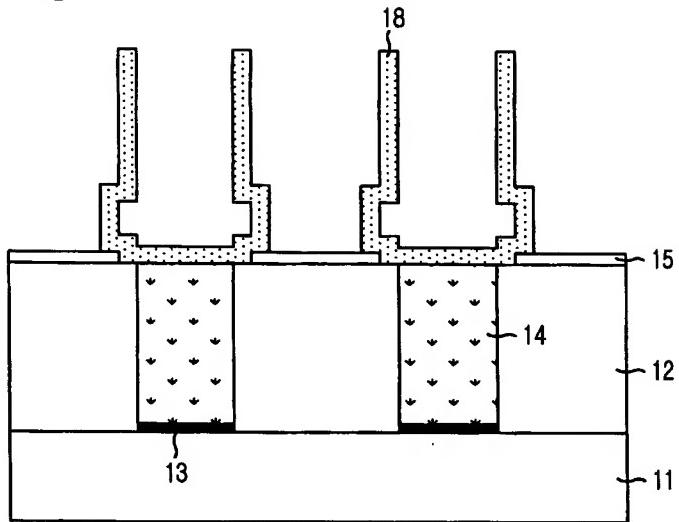
【도 1a】



【도 1b】



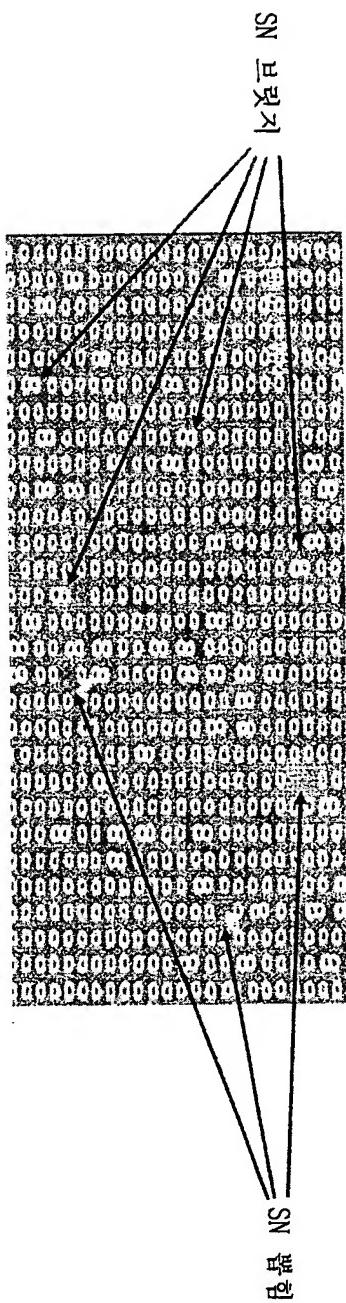
【도 1c】



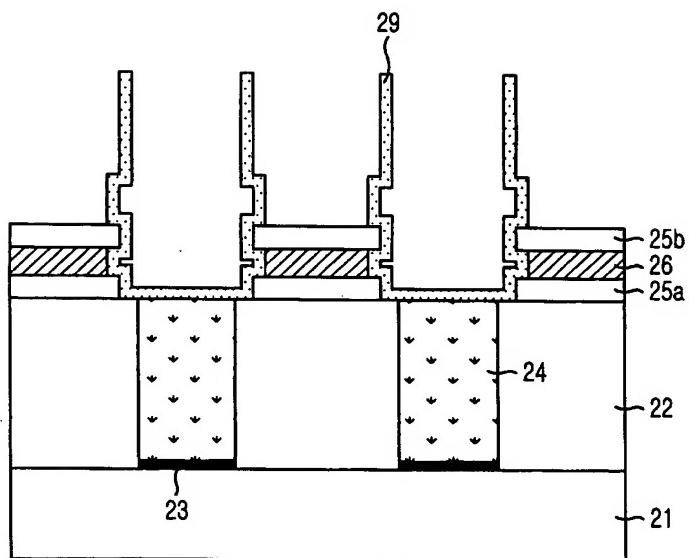
1020020086400

출력 일자: 2003/7/1

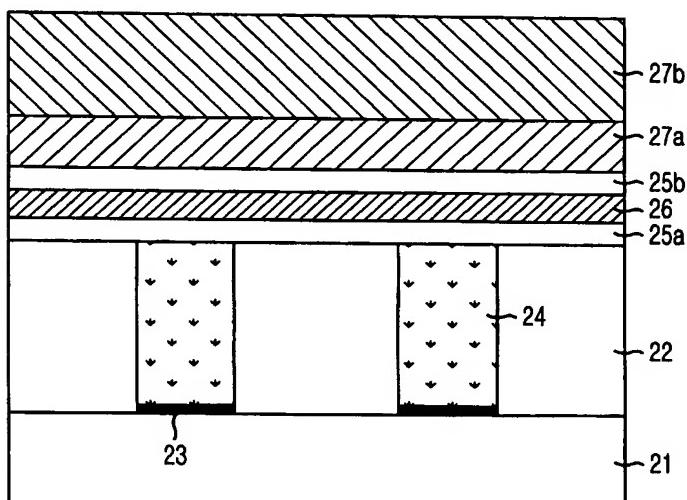
【도 2】



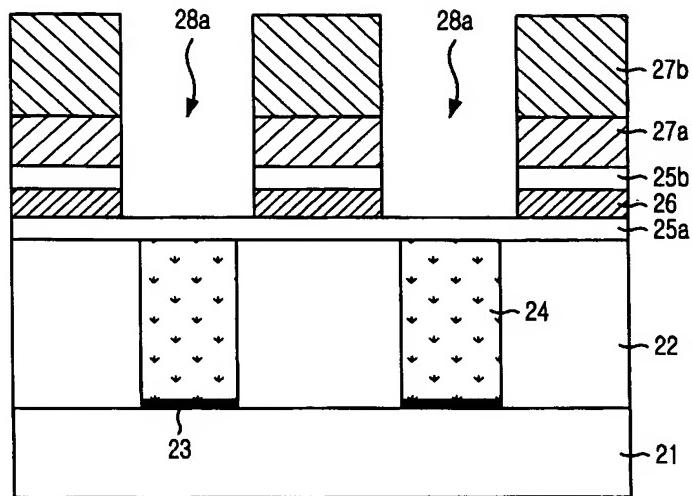
【도 3】



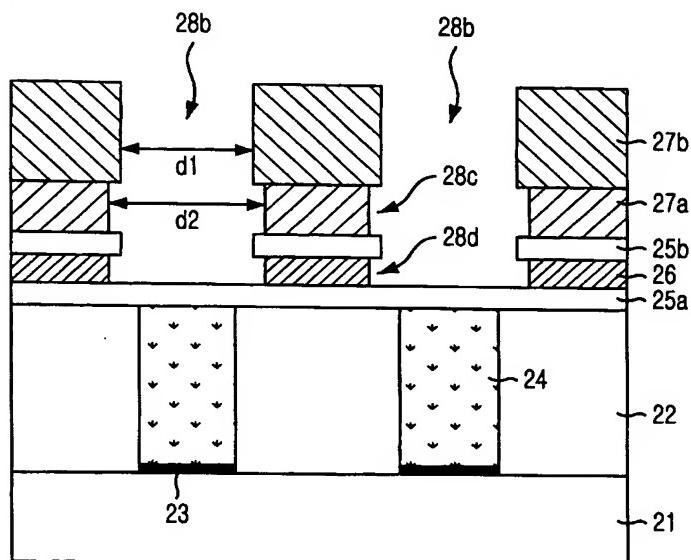
【도 4a】



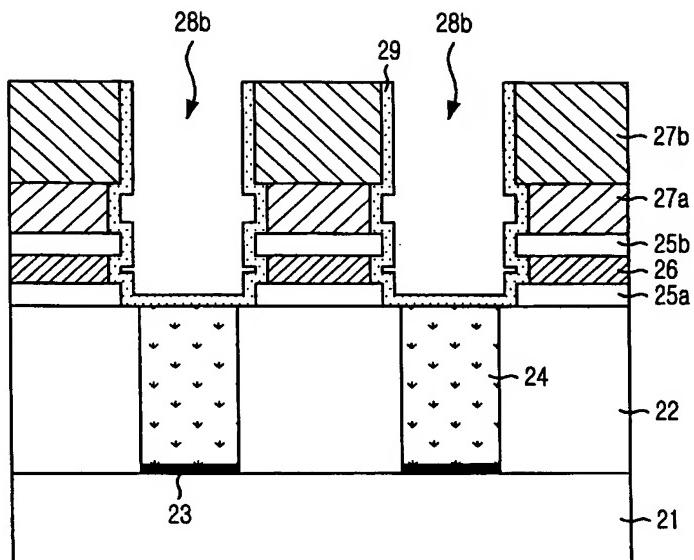
【도 4b】



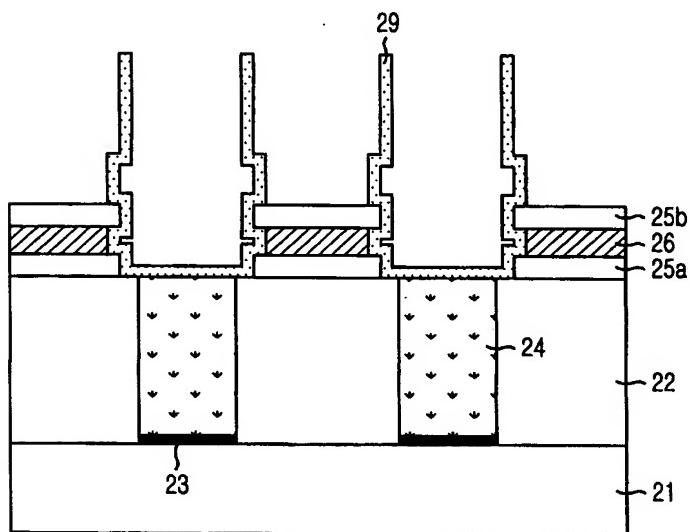
【도 4c】



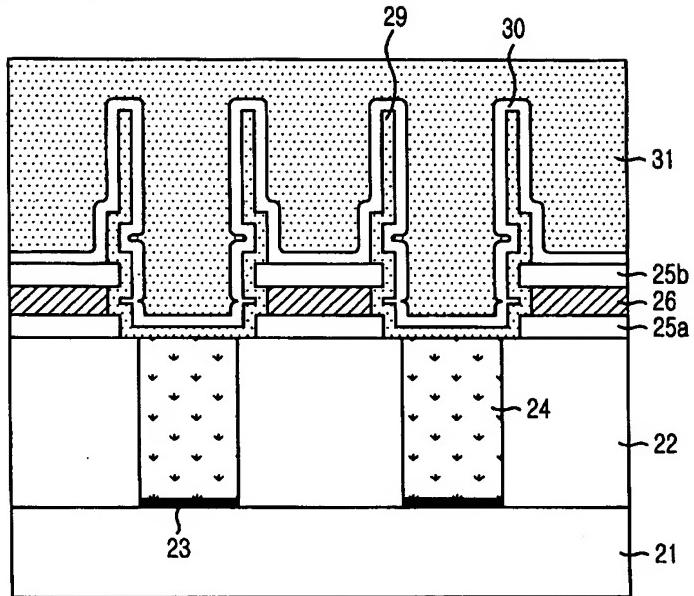
【도 4d】



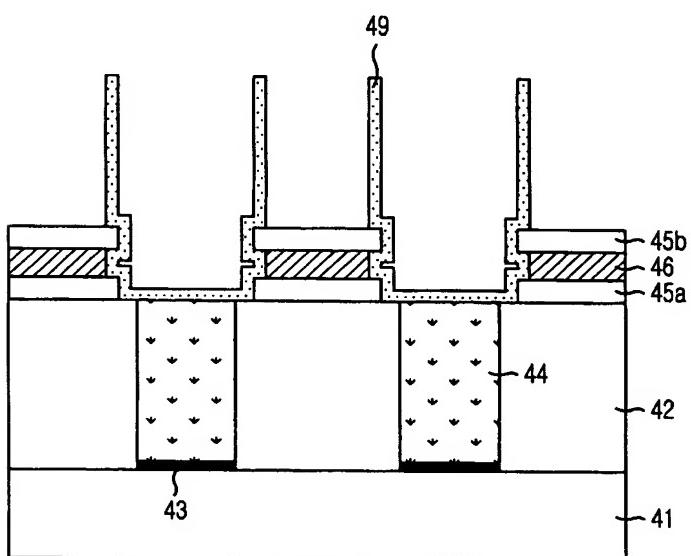
【도 4e】



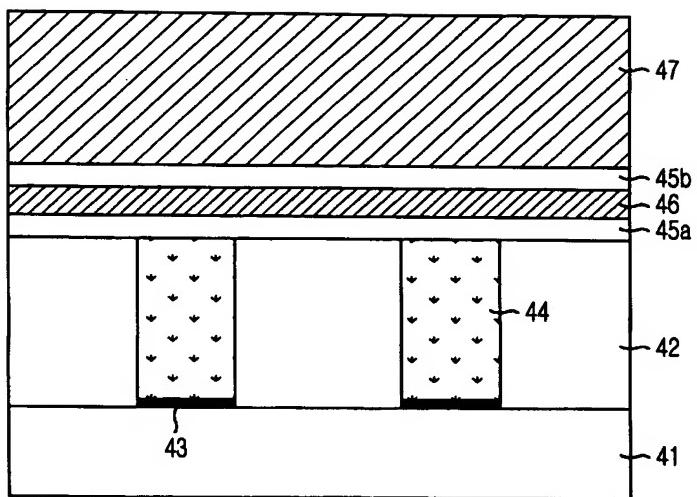
【도 4f】



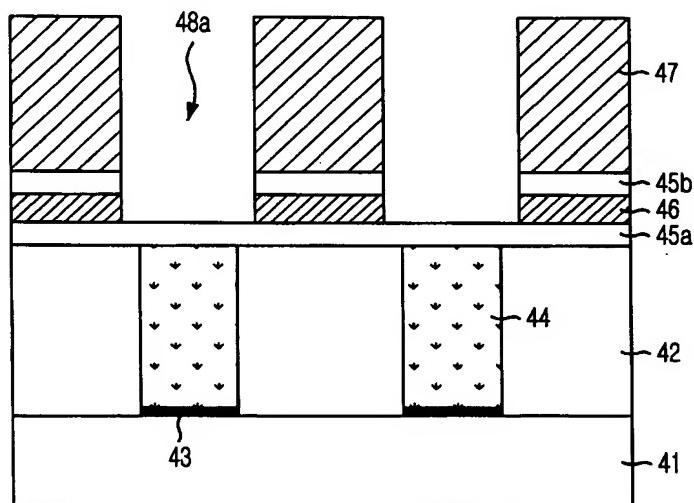
【도 5】



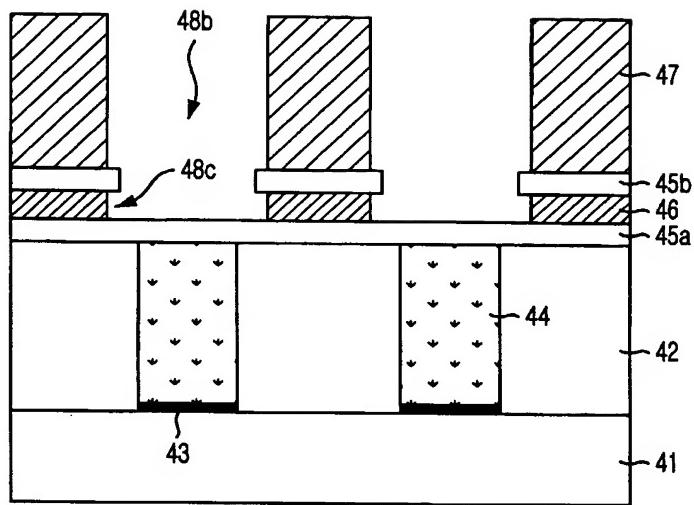
【도 6a】



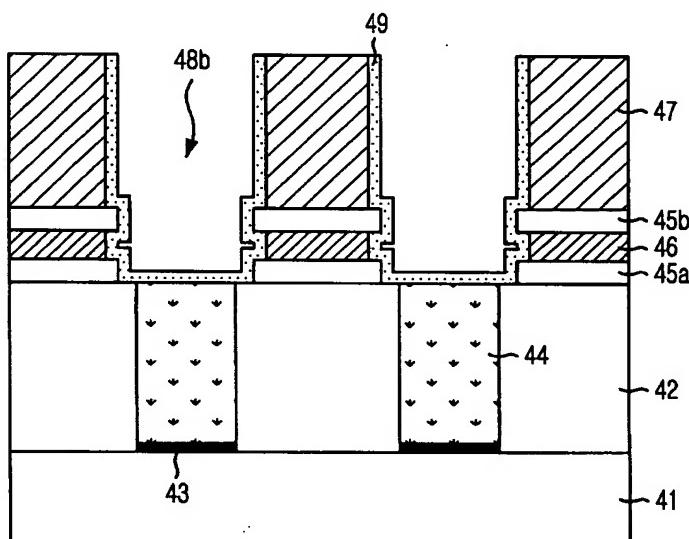
【도 6b】



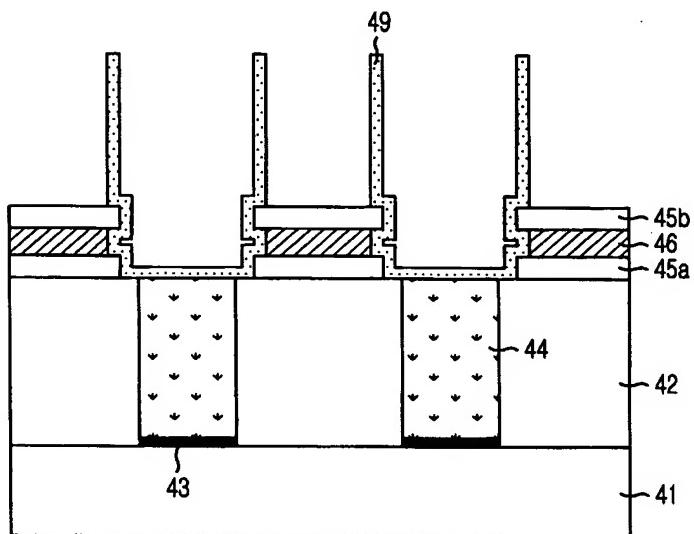
【도 6c】



【도 6d】



【도 6e】



【도 6f】

